

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/349

In re patent application of

Jung-hyun LEE, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: DEPOSITION METHOD OF A DIELECTRIC LAYER

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

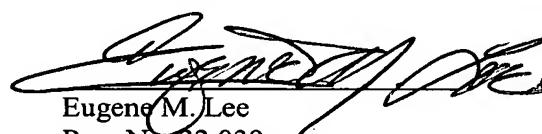
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-42763, filed July 20, 2002.

Respectfully submitted,

July 14, 2003
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 특허출원 2002년 제 42763 호
Application Number PATENT-2002-0042763

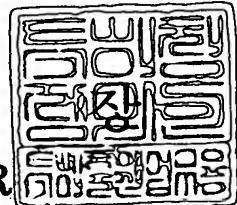
출 원 년 월 일 : 2002년 07월 20일
Date of Application JUL 20, 2002

출 원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 26 일 SI

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2002.07.20
【국제특허분류】	H01L
【발명의 명칭】	산화방지막을 삽입하는 유전막 증착 방법
【발명의 영문명칭】	Deposition method of dielectric layer inserting anti-oxidant layer
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	이정현
【성명의 영문표기】	LEE, Jung Hyun
【주민등록번호】	711128-1056211
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 동아아파트 715-802
【국적】	KR
【발명자】	
【성명의 국문표기】	민요셉
【성명의 영문표기】	MIN, Yo Sep
【주민등록번호】	690318-1068117

1020020042763

출력 일자: 2002/9/27

【우편번호】	156-072		
【주소】	서울특별시 동작구 흑석2동 279번지 32/4		
【국적】	KR		
【발명자】			
【성명의 국문표기】	조영진		
【성명의 영문표기】	CHO, Young jin		
【주민등록번호】	710402-1058048		
【우편번호】	403-021		
【주소】	인천광역시 부평구 산곡1동 180-116 삼보아파트 가동 216 호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	8	항	365,000 원
【합계】	394,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

유전막 증착방법이 개시된다. 개시된 유전막 증착 방법은, 기판상에 유전막을 증착하는 방법에 있어서, 기판과 유전막의 계면과, 유전막 사이의 계면에 하부 전극의 산화와 확산을 방지하는 산화방지막을 삽입하여 증착하는 것을 특징으로 한다. 저누설전류와 고정전용량을 가지는 커패시터를 구현할 수 있으며 격자상수를 조절하여 유전상수를 조절할 수 있어 대면적 기판에 고유전상수의 다층막구조를 구현할 수 있다.

【대표도】

도 3d

【색인어】

산화방지막, 유전상수, 유전막

【명세서】**【발명의 명칭】**

산화방지막을 삽입하는 유전막 증착 방법{Deposition method of dielectric layer inserting anti-oxidant layer}

【도면의 간단한 설명】

도 1은 Si기판 위에 SrTiO₃를 증착한 다층막 구조의 TEM 사진,

도 2는 종래의 금속 배선을 이용하여 유전막 증착을 하는 경우 각 물질에 대한 활성도를 나타낸 그래프,

도 3a 내지 3d는 본 발명의 실시예에 따른 유전막 증착방법을 나타낸 공정도,

도 4a는 본 발명의 실시예에 따른 유전막 증착방법을 사용하기 전의 STO/HfO₂/STO의 다층막 구조를 찍은 TEM사진,

도 4b는 도 4a에 도시된 다층막 구조를 700도로 열처리한 후 변화된 다층박막 구조를 찍은 TEM사진,

도 5는 본 발명의 실시예에 따른 유전막 증착방법에 의해 유전막이 증착된 커퍼시터를 구비하는 DRAM 구조를 나타낸 단면도,

도 6a는 도 5의 A를 확대한 단면도,

도 6b는 도 5의 B를 확대한 단면도,

도 7은 본 발명의 실시예에 따른 유전막 증착방법에 의해 증착된 AlO/STO의 다층막 구조에 있어서 전압의 변화에 따른 누설전류의 변화를 나타낸 그래프,

도 8은 본 발명의 실시예에 따른 유전막 증착방법에 의해 증착된 AlO/STO 의 다층 막 구조에 있어서 AlO의 두께의 변화에 따른 정전용량의 변화를 나타낸 그래프.

<도면의 주요부분에 대한 부호설명>

10, 41, 51 ; 산화방지막	11, 31 ; 기판
13, 43, 53 ; 제1유전막	15, 45, 55 ; 제2유전막
17 ; 제3유전막	30 ; 커패시터
33 ; 절연층	37; 하부전극
39 ; 상부전극	40, 50 ; 다층유전막
57 ; 게이트 전극	59 ; 워드 라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <18> 본 발명은 유전막 증착 방법에 관한 것으로서, 더욱 상세하게는 하부 전극의 산화 와 확산을 방지하는 방지막을 이용한 유전막 증착 방법에 관한 것이다.
- <19> 고유전상수를 가지는 유전막은 메모리 소자의 커패시터나 게이트 절연층 이외에 대 면적 GaAs 기판 형성을 위한 버퍼층으로 다양하게 이용된다. 특히, 유전막은 DRAM(Dynamic Random Access Memory)과 같은 메모리의 커패시터로 많이 활용되는데, 메 모리의 고집적화가 진행됨에 따라 제한된 일정 면적상에 반도체 소자들을 형성하기 위해 고정전용량(High Capacitance)을 가지는 커패시터를 구현할 필요성이 증가되었다.

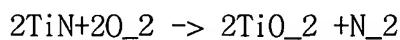
<20> 커패시터는 일정한 수준의 정전용량을 얻기 위하여 마주보도록 형성되는 도전체와 그 사이에 형성되는 유전막으로 이루어진다. 커패시터의 정전용량은 유효면적과 유전막의 유전율에 비례하고 두께에는 반비례하므로, 고유전율의 물질을 선택하여 커패시터를 형성하되 두께를 얇게 하고 유효면적을 증가시키면 정전용량을 증가시킬 수 있다. DRAM과 같은 메모리 소자의 커패시터의 유효면적을 증가시키기 위해, 커패시터를 구성하는 하부전극의 폭은 감소시키고 높이는 증가시킨 기동모양으로 하부전극을 형성하여 그 상면에 증착되는 유전막의 유효면적을 넓힐 수 있다.

<21> 도 1은 Si 기판상에 STO(SrTiO_3) 유전막을 증착하여 형성시킨 다층막을 TEM(Transmission Electron Microscope)으로 찍은 사진이다. 도 1에 도시된 바와 같이 Si기판 상에 STO 유전막을 증착하는 경우 Si기판은 산화막 증착 공정 중에 도입되는 산소에 의해 쉽게 산화되어 그 상면에 SiO_2 유전막을 형성하며, 비정질 SiO_2 로 인해 초기 STO유전막은 격자 배열이 무질서해진다. 또 STO 유전막은 증착된 다음 후속 열처리 공정에서 Si의 일부가 확산되어 결정질 STO 유전막이 파괴되어진다. 도면을 참조하면, Si 기판상에 SiO_2 유전막과 STO 유전막이 순서대로 배열된 커패시터는 STO 유전막으로 이루어지는 커패시터와 SiO_2 유전막으로 이루어지는 커패시터가 직렬로 연결된 구조가 되어 커패시터의 전체적인 정전용량은 결과적으로 감소하여 커패시터의 전기적 특성은 악화된다.

<22> 이러한 문제점을 극복하기 위해 Si기판 상에 Ru 또는 TiN과 같은 금속 전극을 증착한 다음 유전막을 증착하는 방법이 최근 연구되고 있다. 도 2는 Si 기판상에 TiN과 Ru_금속 전극을 증착한 다음, STO 유전막을 증착하는 경우 금속의 함량에 대한 산소의 비율 ($O_2/(Ti+Al+Ru+N)$)과 각 금속의 활성도(activity)의 관계를 나타낸 그래프이다.

<23> 도 2를 참조하면, Ru는 유전막 증착을 위한 산화 분위기에서 활성도가 높아 쉽게 RuO₂로 변질되므로 고온에서 열처리 공정을 수행할 수 없다. 또한, Si와 Ru 사이에 위치하는 TiN이 화학식 1에 의해 TiO₂로 변화하여 활성도가 급격히 떨어지므로 구조적으로 파손이 용이하여 가공성이 열악하므로 70nm 이하의 두께를 가지는 기동모양의 커패시터를 제작하기가 어렵다.

<24> 【화학식 1】



<25> 또한, DRAM과 같은 메모리 소자에 구비되는 커패시터는 적은 양의 전하를 전하를 보존하므로 아주 약한 누설 전류에도 정보가 손실되므로 이러한 누설 전류를 막을 수 있는 유전막 증착방법이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<26> 따라서, 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 실리콘과 유전막 사이에 저유전층 발생을 억제하고 높은 유전 상수와 낮은 누설전류를 가지도록 유전막을 증착하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<27> 상기 기술적 과제를 달성하기 위하여 본 발명은, 기판상에 유전막을 증착하는 방법에 있어서, 상기 기판과 유전막의 계면과, 유전막 사이의 계면에 산화방지막을 삽입하여 증착하는 것을 특징으로 하는 유전막 증착 방법을 제공한다.

- <28> 상기 산화방지막은 III, IV 및 V족 금속 산화막 중 어느 하나를 선택하여 형성하는데, 특히 상기 금속 산화막은 Al_2O_3 , TaO , TiO_2 , HfO_2 및 ZrO_2 중 적어도 하나를 선택하여 형성한다.
- <29> 여기서, 상기 유전막을 증착한 다음 열처리하여 상기 산화방지막의 금속을 상기 유전막으로 확산시켜 제거하는 것이 바람직하며, 상기 열처리시 700도 이하의 온도로 열을 공급한다.
- <30> 상기 유전막은 화학기상증착법을 이용해 증착하여 상기 산화방지막은 단원자층증착법 또는 화학기상증착법을 이용해 증착한다.
- <31> 상기 유전막은 STO, BT0, BST, PLT, PLZ 및 SBT 중 어느 하나를 선택하여 형성한다.
- <32> 본 발명은 산화방지막을 기판과 유전막 사이, 유전막과 유전막 사이에 증착함으로써 Si 기판의 산화를 방지하여 SiO_2 와 같은 저유전층의 발생을 억제할 수 있고 높은 유전 상수와 낮은 누설 전류를 가지는 다층막 구조를 실현할 수 있다.
- <33> 이하 본 발명의 실시예에 따른 유전막 증착 방법을 도면을 참조하여 상세히 설명한다.
- <34> 도 3a 내지 도 3d는 본 발명의 실시예에 따른 유전막 증착 방법을 보이는 공정도이다. 먼저 도 3a에 도시된 바와 같이, 기판(11)의 상부에 산화방지막(10)을 증착한 다음, 도 3b에 도시된 바와 같이 제1유전막(13)을 증착하고 다시 산화방지막(10)을 증착한다. 도 3c에 도시된 바와 같이 산화방지막(10)의 상면에 제2유전막(15)을 증착하고, 같은 방

식으로 산화방지막(10)을 증착하고, 도 3d에 도시된 바와 같이 그 상면에 제3유전막(17)을 증착하여 3층의 유전층을 가지는 다층막 구조를 형성한다.

<35> 본 발명의 실시예에 따른 유전막 증착 방법은 기판과 유전막 사이 및, 유전막과 유전막 사이에 산화방지막을 삽입함으로써 산화를 방지하는 것을 특징으로 한다. 여기서, 제1 내지 제3유전막(13, 15, 17)은 동일한 물질 또는 상이한 물질로 형성시킬 수 있다. 물론 본 실시예보다 더 고층의 유전막을 형성할 수 있다.

<36> 산화방지막(10)으로는 기판(11)을 형성하는 물질보다 쉽게 산화되는 유전막을 사용하는데, III, IV 및 V족 금속 전극이나 이들의 산화막을 이용할 수 있다. 예를 들어 Al, Ta, Ti, Hf 및, Zr이나 Al_2O_3 , TaO , TiO_2 , HfO_2 및, ZrO_2 와 같은 물질을 이용할 수 있으며, 두께는 수십 내지 수백 Å이 되도록 형성하는데, 이용되는 소자의 구조에 따라 두께는 적절히 측정화할 수 있다. 산화방지막(10)은 원자층 증착법(ALD; Atomic Layer Deposition)을 이용해 증착한다. 원자층 증착법은 단원자층의 화학적 흡착 및 탈착을 이용한 박막증착기술로서, 각 반응물질들을 개별적으로 분리하여 펄스 형태로 챔버에 공급하여 기판표면에 반응물질의 표면포화반응(saturated surface reaction)에 의한 화학적 흡착과 탈착을 이용하여 증착하는 기술이다.

<37> 제1 내지 제3유전막(13, 15, 17)은 고유전상수(K)를 가지는 유전물질로 형성하는데, 예를 들어 스트론튬 티타네이트(STO; SrTiO_3), 리드 란타늄 티타네이트(PLT), 바륨 티타네이트(BTO), 바륨 스트론튬 티타네이트(BST), 리드 탄탈륨 지르코늄(PLZ) 및, 스트론튬 비스무스 탄탈레이트(SBT)와 같은 물질을 사용할 수 있다.

<38> 유전막을 증착하는 방법은 원자층 증착법이나 화학기상증착법(CVD; Chemical Vapor Deposition)을 이용한다. 화학기상증착법은 반응기안에 주입된 기체들이 열이나 플라즈

마 등의 에너지에 의해 기판 상에서 화학반응을 일으켜 박막을 형성하는 방법을 말하여, 비교적 낮은 온도에서 고순도와 결함이 없는 결정층 또는 비정질층을 얻을 수 있으며 다양한 종류의 박막을 형성할 수 있고 광범위한 화학량론적 구성(stoichiometric composition)을 쉽게 조정할 수 있는 장점을 가진다.

<39> 본 발명의 실시예에 따른 유전막 증착 방법은 도 3d에 도시된 바와 같이 기판(11)의 상부에 산화방지막(10)이 계면에 삽입되어 유전막이 증착된 다층구조를 형성한 다음, 고온 산화 분위기에서 열처리공정을 더 포함한다. 열처리 공정을 더 행하면, 산화방지막(10)의 금속원소가 제1 내지 제3유전막(13, 15, 17)으로 확산되어 냉각되면서 결정화되어 제1 내지 제3유전막(13, 15, 17)의 격자 상수가 변화할 수 있다. 산화방지막(10)의 금속원소가 이온반경이 작은 경우 제1 내지 제3유전막(13, 15, 17)의 격자상수는 작아지며, 그 역인 경우 유전막(13, 15, 17)의 격자상수는 커진다. 본 발명의 실시예에 따른 유전막 증착방법에서 STO 유전막의 격자상수는 ($a = 0.3905\text{nm}$)이나 열처리후 Hf 원소가 확산되면 ($a = 0.3923\text{nm}$)로 증가한다.

<40> 도 4a는 본 발명의 실시예에 따른 유전막 증착법에 의해 증착된 STO/HfO₂/STO의 다층막 구조의 TEM(Transmission Electron Microscope) 사진이며, 도 4b는 도 4a에 도시된 다층막 구조를 열처리한 다음 변화된 구조를 찍은 TEM 사진이다.

<41> 도 4a를 참조하면, STO 사이에 HfO₂가 삽입되어 있는데, 열처리를 행하면 도 4b에 도시된 바와 같이, HfO₂막이 유전막으로 확산되어 소멸하는 것을 볼 수 있다. 여기서, STO 유전막의 결정의 면간 거리는 (110)격자구조에서 열처리전 0.3905nm로부터 열처리후 0.3923nm로 변형되고 변형된 결정막은 STO막의 상면에 GaAs와 같은 막을 증착하는 경우 격자상수의 부적합으로 인한 응력(stress)을 완화시킬 수 있다. 여기서, STO 유전막의

상면에 산화방지막을 삽입한 다음 GaAs막을 증착시킨 구조는 광기록매체를 제조하는 경우에 사용될 수 있다.

<42> 도 5는 본 발명의 실시예에 따른 유전막 증착 방법에 의해 증착된 유전막(40)을 구비하는 커패시터(30)가 두 개 배열된 DRAM을 간략히 보인다.

<43> 도 5를 참조하면, 도시된 D램은 두 개의 트랜지스터(54)와 두 개의 커패시터(30)를 구비한다. 트랜지스터(54)는 소스 전극(S)과 드레인 전극(D) 및 게이트 전극(57)으로 이루어지며 게이트 전극(57)의 상면에 스트라이프 형으로 배열된 워드 라인(59)과 게이트 전극(57)의 사이에 위치하는 비트 라인(58)이 형성되어 있다.

<44> 자세히 살펴보면, 기판(31)의 표면에 소정 깊이로 소스(S) 및 드레인(D) 전극이 형성되어 있으며 소스(S) 및 드레인(D) 전극의 사이에 게이트 전극(57)이 위치하고 있다. 게이트 전극(57)과 기판(31)의 사이에는 절연층으로 복수개의 유전막(53, 55)과 복수개의 산화방지막(51)이 교번하며 적층되어 있다. 절연층(33)의 내부로는 도전성 플러그(35)가 마련되어 소스 전극(S)가 접촉하며 도전성 플러그(35)의 상면에는 기둥 모양의 하부전극(37)이 위치하고 그 상면에는 다층유전막(40)이 증착되고 다시 그 상면에는 상부전극(39)이 증착된다.

<45> 도 6a는 도 5의 A를 확대한 단면도로서, 커패시터(30)의 다층막 구조(40)를 확대하여 보이고 있다. 하부전극(37)의 상면에는 산화방지막(41)이 증착되고 차례로 제1유전막(43), 산화방지막(41), 제2유전막(45)이 적층되어 다층유전막(40)을 형성하고 그 상면에 상부전극(39)이 마지막으로 증착되어 커패시터를 형성한다.

<46> 도 6b는 도 5의 B를 확대한 단면도로서, 트랜지스터(54)의 구조를 간략히 보이고 있다. 소스(S)와 드레인(D) 전극 사이에는 워드 라인(59)이 위치하고 그 저면에는 게이트 전극(57)이 형성되며, 게이트 전극(57)과 기판(31)의 사이에는 산화방지막(51), 제1유전막(53), 산화방지막(55) 및, 제2유전막(57)이 순서대로 층착되어 다층막 구조(50)를 형성하고 있다.

<47> 이와 같은 산화방지막(55)과 유전막(53, 57)이 교번하여 형성된 다층유전막 구조를 구비하는 커패시터는 누설 전류가 감소하고 정전용량이 증가하는 특성을 보인다.

<48> 도 7은 본 발명의 실시예에 따른 유전막 층착 방법에서, 산화방지막으로 Al0막과 유전막으로 ST0막을 사용하는 경우 전압의 변화에 따른 누설전류의 변화를 보이는 그래프이다.

<49> 도 7을 참조하면, ST0 유전막이 22.5nm로 동일한 두께일 때 Al0 산화방지막을 1, 2, 3, 4nm로 변화시켜가면서 층착한 경우의 누설전류는 전압이 -4V에서 3V의 범위인 경우 누설전류가 $10^{-7}A/cm^2$ (기준 누설전류)보다 작게 나타난다. 이 값은 Al0 산화방지막만(Al0 50 reference)의 전압의 변화에 따른 최소 누설전류값과 큰 차이가 없는 값으로 누설전류가 상당히 많이 감소되었음을 알 수 있다.

<50> 도 8은 본 발명의 실시예에 따른 유전막 층착 방법에서, 산화방지막으로 Al0막과 유전막으로 ST0막을 사용하는 경우 Al0의 변화에 따른 정전용량의 변화를 보이는 그래프이다.

<51> 도 8을 참조하면, X축은 Al0의 두께변화를 나타내고 있으며 Y축은 SiO₂의 두께로 환산한 정전용량값의 변화를 보이고 있다. SiO₂의 두께가 20??인 경우를 기준 정전용량

의 두께로 설정하면, Al의 두께가 2nm이하로 증착되는 경우에 다층막구조의 환산 두께는 기준 정전용량의 두께보다 작으므로 결국 기준 정전용량보다 정전용량이 더 커지는 것을 알 수 있다. 이는 수학식 1에서 보듯이 정전용량(C)이 두께(d)와는 반비례관계에 있기 때문이다.

<52>
$$\text{【수학식 1】 } C = \epsilon \frac{s}{d}$$

<53> 여기서, ϵ 은 유전율, s는 커패시터의 면적을 나타낸다.

<54> 본 발명의 실시예에 따른 유전막 증착방법을 사용해 증착된 다층막구조는 낮은 누설전류와 높은 정전용량을 나타내므로 고성능이 요구되는 메모리소자, 광기록매체 등 다양한 전자소자, 광소자에 이용될 수 있다.

<55> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특히 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<56> 상술한 바와 같이 본 발명의 유전막 증착방법의 장점은, 유전막의 격자상수를 조절하여 저누설전류와 고정전용량의 커패시터와 게이트 절연층을 구현할 수 있으며 결정의 면간 거리를 조절하여 대면적 GaAs와 같은 기판을 제조할 수 있다는 것이다.

【특허청구범위】**【청구항 1】**

기판상에 유전막을 증착하는 방법에 있어서,
상기 기판과 유전막의 계면과, 유전막 사이의 계면에 산화방지막을 삽입하여 증착
하는 것을 특징으로 하는 유전막 증착 방법.

【청구항 2】

제 1 항에 있어서,
상기 산화방지막은 III, IV 및 V족 금속 산화막 중 하나를 선택하여 형성하는 것을
특징으로 하는 유전막 증착 방법.

【청구항 3】

제 2 항에 있어서,
상기 금속 산화막은 Al_2O_3 , TaO_x , TiO_2 , HfO_2 및 ZrO_2 중 어느 하나인 것을 특징으
로 하는 유전막 증착 방법.

【청구항 4】

선행하는 항 중 어느 한 항에 있어서,
상기 유전막을 증착한 다음 열처리하여 상기 산화방지막의 금속을 상기 유전막으로
확산시켜 제거하는 것을 특징으로 하는 유전막 증착 방법.

【청구항 5】

제 6 항에 있어서,

상기 열처리시 700도 이하의 온도로 열을 공급하는 것을 특징으로 하는 유전막 증착 방법.

【청구항 6】

제 1 항에 있어서,

상기 유전막은 화학기상증착법으로 증착하는 것을 특징으로 하는 유전막 증착방법.

【청구항 7】

제 1 항에 있어서,

상기 산화방지막은 단원자층 증착법 또는 화학기상증착법으로 증착하는 것을 특징으로 하는 유전막 증착방법.

【청구항 8】

제 1 항에 있어서,

상기 유전막은 STO, BT0, BST, PLT, PLZ 및 SBT 중 어느 하나로 형성하는 것을 특징으로 하는 유전막 증착방법.

【도면】

【도 1】



Crystalline STO

Amorphous STO

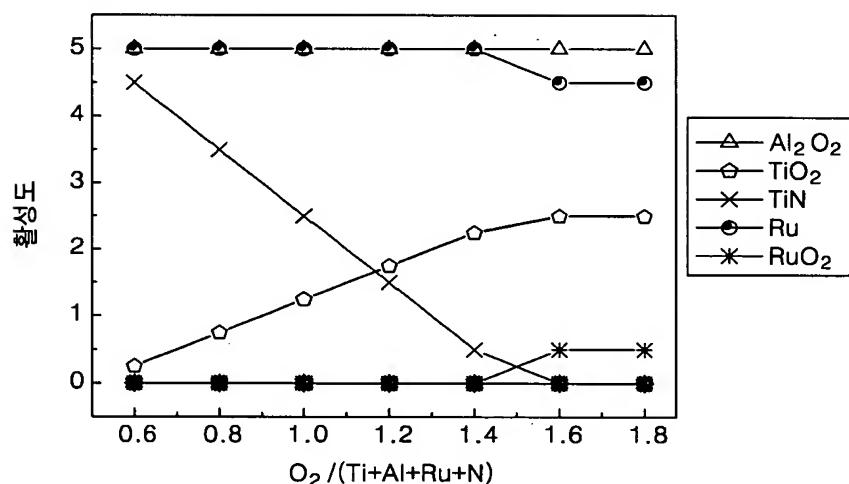
SiO₂

Si Substrate

43nm
↑
τ_{3nm}

Si diffusion

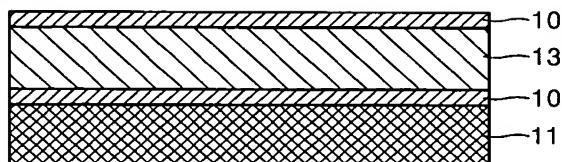
【도 2】



【도 3a】



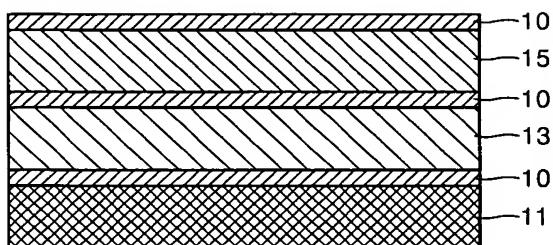
【도 3b】



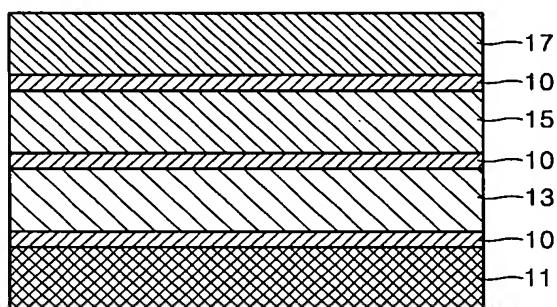
1020020042763

출력 일자: 2002/9/27

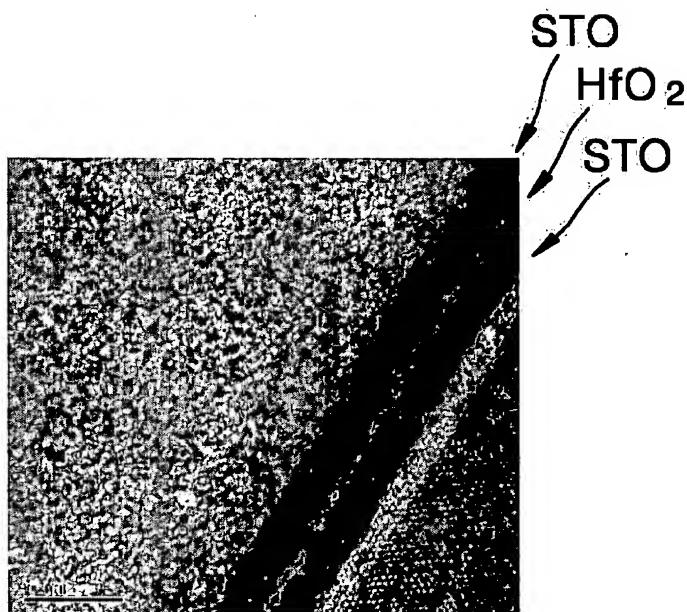
【도 3c】



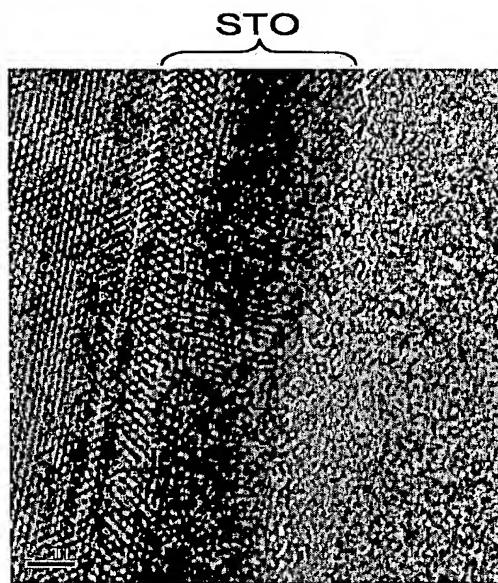
【도 3d】



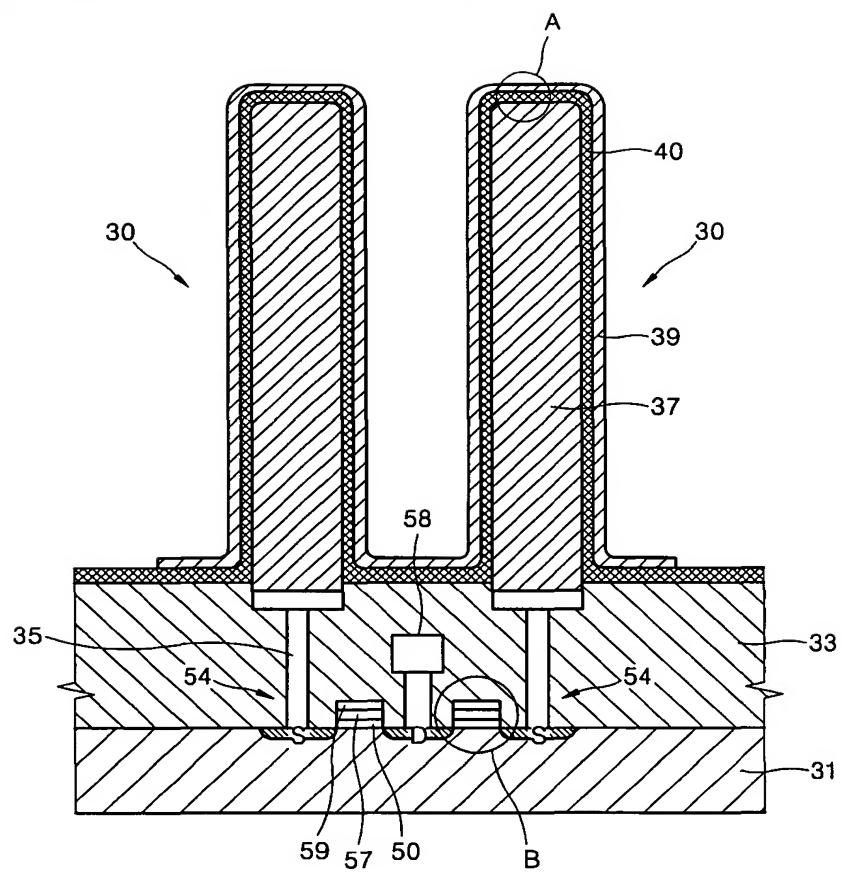
【도 4a】



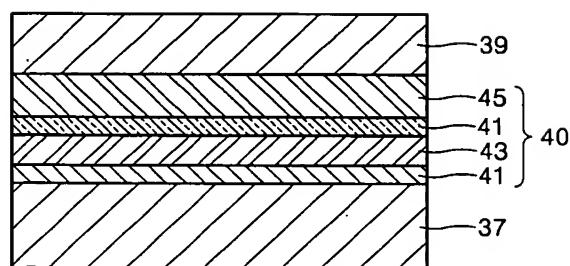
【도 4b】



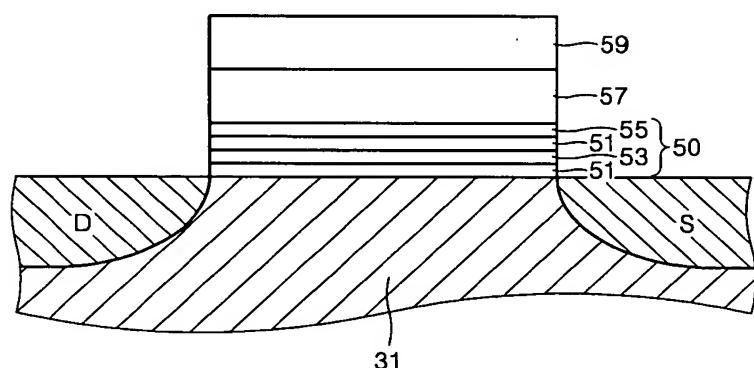
【도 5】



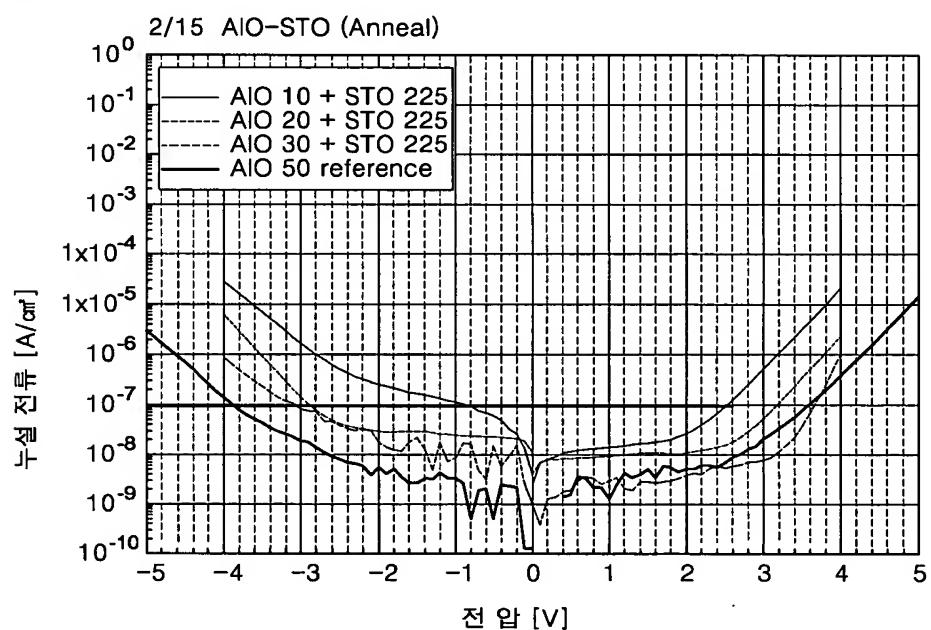
【도 6a】



【도 6b】



【도 7】



1020020042763

출력 일자: 2002/9/27

【도 8】

